

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-198674

(43)公開日 平成5年(1993)8月6日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/82

9169-4M

H 0 1 L 21/ 82

W

審査請求 未請求 請求項の数4(全 4 頁)

(21)出願番号 特願平4-296774

(22)出願日 平成4年(1992)11月6日

(31)優先権主張番号 特願平3-297558

(32)優先日 平3(1991)11月14日

(33)優先権主張国 日本(JP)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 齋藤 睦男

東京都港区芝五丁目7番1号 日本電気株式会社内

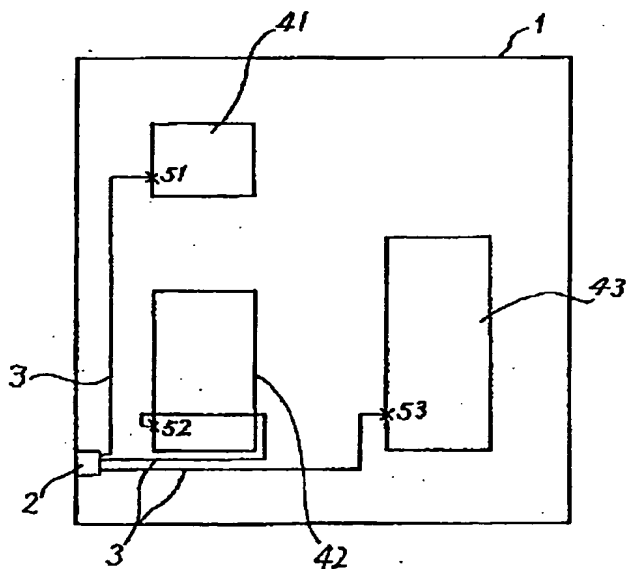
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 半導体集積回路装置のクロック配線方法

(57)【要約】

【目的】 階層的レイアウト手法を用いて設計されるLSIにおいて、各ブロックへのクロック信号をブロック間の配線領域(チャンネル)に制限されることなく自由に敷設できるようにし、かつ、各ブロック間およびブロック内でのクロック信号の特性のずれを低減する。

【構成】 LSI1の左下部に設けられたクロック発生源2から各ブロック(41, 42, 43)のクロック端子(51, 52, 53)へのクロック配線3は等長になるように敷設されており、各ブロック内の配線と重複しない特定の配線層に限定してクロック配線3を接続する。クロック配線3を接続後、各ブロック間の信号線を敷設するようにしている。



【特許請求の範囲】

【請求項1】 半導体集積回路のレイアウト設計に際して、半導体集積回路の構成要素を複数のブロックに分割し、予め設計された標準のマクロブロックを除く各ブロック内の配置配線処理を行なった後に各ブロック間の配線を行う階層設計手法によって設計される半導体集積回路装置の配線方法において、クロック信号を供給するクロック発生源からマクロブロックを含む各ブロック内のクロック信号を供給されるべきセルへのクロック配線を各ブロック間の配線チャンネルに制限されることなく自由に、かつ、クロック発生源から各ブロックのクロック端子まで等長となるように敷設することを特徴とする半導体集積回路装置のクロック配線方法。

【請求項2】 多層配線を有する半導体集積回路のレイアウト設計時、特定の配線層に限定してクロック信号を供給するクロック発生源からマクロブロックを含む各ブロック内のクロック信号を供給されるべきセルへのクロック配線をあらかじめ敷設し、次に各ブロック間の信号線を敷設する請求項1記載の半導体集積回路装置のクロック配線方法。

【請求項3】 予め敷設したクロック発生源からマクロブロックを含む各ブロックのクロック端子への各クロック配線が等長配線となるように、クロック発生源から一番離れているブロックのクロック端子とクロック発生源との間のクロック配線長に合わせて、クロック発生源と他の各ブロックのクロック端子間のクロック配線を敷設する請求項1又は請求項2記載の半導体集積回路装置のクロック配線方法。

【請求項4】 半導体集積回路の中心部にクロック信号分配部を設置して、クロック発生源とクロック信号分配部とを1本のクロック配線で接続し、クロック分配部とマクロブロックを含む各ブロックのクロック端子との間にそれぞれのクロック配線を等長となるように敷設する請求項3記載の半導体集積回路装置のクロック配線方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置（以下LSIという）のクロック配線方法に係り、特に階層設計手法によって構成されたLSIクロック配線方法に関する。

【0002】

【従来の技術】 特定の基本機能を実現するセルの組合せとセル間の配線によって所望の回路動作を実現するLSIにおいて、そのレイアウト設計を行う際は、回路の大規模化に伴って所要の工数・処理時間が指数関数的に増加するため、回路全体を一度にレイアウトするには莫大な時間及び労力を費やすことになる。そこで、回路を取扱いやすい規模のブロックに分割し、予め設計されたマクロブロックを除くそれぞれのブロックに対して個別

に配置配線を実行した後にブロック間の配線を行う、といった階層設計手法が広く用いられている。

【0003】 上述した設計に際しては、クロック信号を供給されるべきフリップフロップなどのセル（被供給セル）の数も増加し、各ブロックに供給されるクロック信号も互いに同期がとれていなければならないため、その接続方法が重要な問題となってくる。

【0004】 具体的な方法としては、図3（a）に示すように各ブロック（41, 42, 43）の辺上にクロック配線接続用の端子（51, 52, 53）を設定し、クロック発生源2と各ブロックのクロック端子（51, 52, 53）間をいもづる式に接続する方法が考えられる。又、図3（b）に示すように、各ブロック（41, 42, 43）の辺上に設けたクロック端子（51, 52, 53）に対し、クロック発生源2と各ブロックのクロック端子とを1対1に接続する方法が考えられる。

【0005】

【発明が解決しようとする課題】 以上の様に、階層設計手法によって設計されたLSIにおける従来のクロック配線方法では、クロック発生源から各ブロックのクロック端子までの配線経路及び各ブロック内での負荷状態の違いにより、クロック信号の特性にずれが生じるという問題点があった。

【0006】 本発明の目的は、上述した従来のLSIのクロック配線方法の欠陥を解消して、各ブロックに供給されるクロック信号のタイミングにずれの生じない階層設計手法によるLSIのクロック配線方法を提供することである。

【0007】

【課題を解決するための手段】 本発明による階層設計手法によって設計されるLSIのクロック配線方法は、クロック信号を供給するクロック発生源からマクロブロックを含む各ブロック内のクロック信号を供給されるべきセルへのクロック配線を、各ブロック間の配線チャンネルに制限されることなく自由に、かつ、クロック発生源から各ブロックのクロック端子まで等長となるように敷設するものである。

【0008】 本発明の好適な実施態様によれば、多層配線を有するLSIのレイアウト設計時、特定の配線層に限定してクロック信号を供給するクロック発生源からマクロブロックを含む各ブロック内のクロック信号を供給されるべきセルへのクロック配線をあらかじめ敷設し、次に各ブロック間の信号線を敷設することとしている。

【0009】 また、他の実施態様によれば、予め敷設したクロック発生源からマクロブロックを含む各ブロックのクロック端子への各クロック配線が等長配線となるように、クロック発生源から一番離れているブロックのクロック端子とクロック発生源との間のクロック配線長に合わせて、クロック発生源と他の各ブロックのクロック端子間のクロック配線を敷設している。

【0010】さらに他の実施態様によれば、LSIの中心部にクロック信号分配部を設置して、クロック発生源とクロック信号分配部とを1本のクロック配線で接続し、クロック分配部とマクロブロックを含む各ブロックのクロック端子との間にそれぞれのクロック配線を等長となるように敷設するようにしている。

【0011】

【作用】以上説明した様に本発明は、階層設計手法により設計されるLSIにおいて、個別に配置配線を行う単位であるブロック（セルから成るブロック及びマクロブロック）間の配線チャンネルに制限されることなく特定の配線層にクロック信号の数に応じた本数のクロック信号線を自由に敷設し、クロック発生源と各ブロック間のクロック配線を等長とするものであり、ブロック間及びブロック内でのクロック信号のずれが低減される。

【0012】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0013】図1および図2において、LSI 1は、3個のブロック41、42および43に分割されてレイアウトされている。

【0014】図1では、LSI 1の左下部に設けられたクロック発生源2から各ブロック41、42、43それぞれのクロック端子51、52、53へのクロック配線3は等長になるように敷設されている。これらのクロック配線3は、各ブロック41、42、43間の配線チャンネルに制限されることなく自由に敷設できるように、各ブロック41、42、43内の配線と重複しない特定の配線層に限定してクロック配線3を敷設することにより実現されている。また、ブロック42に対するクロック配線3は、他のブロック41、43へのクロック配線長に合わせて迂回経路をとり敷設されている。

【0015】図2は、クロック分配部2'をLSI 1の中心部に配置した例を示している。LSI 1の左側部に設けられたクロック発生源2とクロック分配部2'との間は1本のクロック配線3で接続する。

【0016】図1の場合と同様に、クロック分配部2'とブロック41、42、43のクロック端子（51、5

2、53）との間は、配線長が等長となるように、各ブロック41、42、43間の配線チャンネルに制限されることなく自由にクロック配線3を接続している。また、ブロック43へのクロック配線3は、他のブロック41、42への配線長に合わせて迂回とり経路を敷設されている。

【0017】上述したいずれの場合も、クロック配線3を接続後、各ブロック41、42、43間の信号線を敷設する次のステップに移行することになる。

【0018】以上説明したように、本発明によれば階層設計されたLSIにおいて全てのブロックに対するクロック配線を等長にでき、各ブロック間及び各ブロック内でのクロック信号の特性のずれを低減することができる。

【0019】

【発明の効果】以上説明したように本発明は、個別に配置配線を行う単位であるブロック間の配線チャンネルに制限を受けることなく特定の配線層に、所要のクロック信号の数に応じた本数のクロック信号線を自由に敷設し、かつ、クロック発生源と各ブロック間の配線を等長とすることにより、それぞれのブロック間およびブロック内でのクロック信号のずれを低減することができる効果がある。

【図面の簡単な説明】

【図1】図1は本発明の一実施例にしたがい配線されたクロック配線のパターン図である。

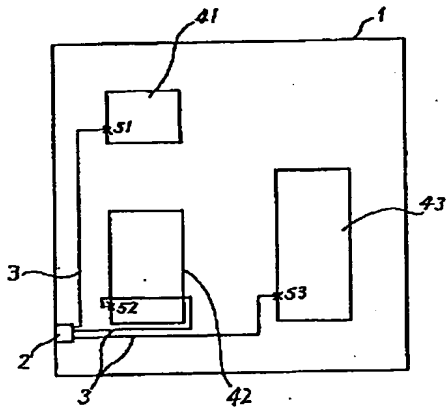
【図2】図2は本発明の他の実施例にしたがい配線されたクロック配線のパターン図である。

【図3】図3（a）および（b）は、それぞれ従来の方法により階層設計されたLSIのクロック配線方法の例を示すパターン図である。

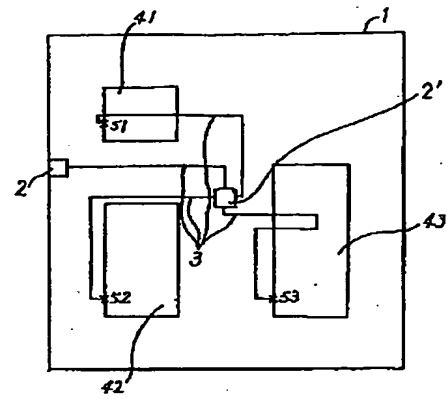
【符号の説明】

- 1 LSI
- 2, 2' クロック発生源
- 3 クロック配線
- 41, 42, 43 ブロック
- 51, 52, 53 クロック端子

【図1】



【図2】



【図3】

